



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 Offenlegungsschrift
10 DE 197 29 476 A 1

51 Int. Cl.⁶:
H 03 K 5/156
H 03 L 7/099
H 03 K 23/00
// H04L 7/033

21 Aktenzeichen: 197 29 476.6
22 Anmeldetag: 10. 7. 97
43 Offenlegungstag: 14. 1. 99

D2

DE 197 29 476 A 1

71 Anmelder:
Nokia Telecommunications Oy, Espoo, FI
74 Vertreter:
Cohausz & Florack, 40472 Düsseldorf

72 Erfinder:
Poutanen, Antti, 40237 Düsseldorf, DE; Suvitaival,
Pekka, 40237 Düsseldorf, DE

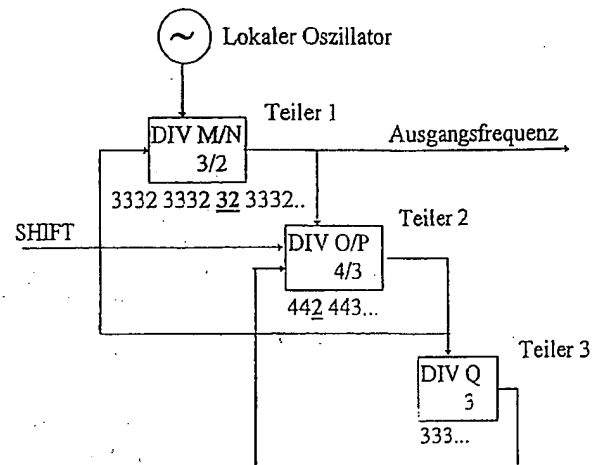
56 Entgegenhaltungen:
DE 41 29 657 C2
DE 37 33 554 A1
US 53 37 339
US 4 91 825
EP 04 71 506
WO 94 26 033
JP 6-97788 A. In: Patents Abstr. of Japan,
Sect.E Vol.18 (1994), Nr.364 (E-1575);

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Numerisch gesteuerter Oszillator

57 Die Erfindung betrifft einen numerisch gesteuerten Oszillator mit einer Teilereinheit (DIV), die die Frequenz eines mit dem numerisch gesteuerten Oszillator zusammenwirkenden lokalen Oszillators um einen vorgebbaren numerischen Teilerwert (Divisor) derart herunterteilt, daß an deren Ausgang ein Ausgangstaktsignal (OUTPUT FREQUENCY) mit der heruntergeteilten Frequenz ausgebar ist, wobei Mittel (SHIFT) zur Ansteuerung der Teilereinheit (DIV) vorgesehen sind, um durch Abänderung des Divisors beim Anlegen der Ansteuermittel die Phasenlage des Ausgangssignals in einer vorgebbaren Richtung gegenüber einem Referenzsignal zu verschieben. Um die bei Oszillatoren bekannten Jitter-Erscheinungen weitestgehend möglich zu vermeiden, ist vorgesehen, daß die Teilereinheit aus mindestens zwei, separat hinsichtlich ihres jeweiligen Divisors programmierbaren und derart zueinander in Kaskadenschaltung angeordneten Teilerstufen (DIV M/N, DIV O/P, DIV Q) besteht, daß jeweils eines der Eingangssignale der vorgeordneten Teilerstufe durch ein Ausgangstaktsignal der nachgeordneten Teilerstufe gebildet wird, daß das Ausgangssignal der vorgeordneten Teilerstufe das Taktsignal der nachgeordneten Teilerstufe bildet und daß die Mittel (SHIFT) zur Verschiebung der Phasenlage am Eingang einer in der Kaskade höchstens auf zweithöchster Stufe stehenden Teilerstufe (DIV O/P) anliegen.



DE 197 29 476 A 1

Die Erfindung betrifft einen numerisch gesteuerten Oszillator sowie einen digitalen Phase-Locked-Loop-Schaltkreis, der einen numerisch gesteuerten Oszillator enthält, wobei der numerisch gesteuerte Oszillator eine Teilerinheit aufweist, die die Frequenz eines mit dem numerisch gesteuerten Oszillator zusammenwirkenden lokalen Oszillators um einen vorgebbaren numerischen Teilerwert derart herunterteilt, daß an deren Ausgang ein Ausgangstaktsignal (OUTPUT FREQUENCY) mit der heruntergeteilten Frequenz ausgeben ist, wobei Mittel (SHIFT) zur Ansteuerung der Teilerinheit (DIV) vorgesehen sind, um durch Abänderung des Divisors beim Anlegen der Ansteuerungsmittel die Phasenlage des Ausgangssignales in einer vorgebbaren Richtung gegenüber einem Referenzsignal zu verschieben.

Numerisch gesteuerte Oszillatoren dienen allgemein zur Bereitstellung eines Taktsignals für eine bestimmte Anwendung, beispielsweise im Telekommunikationsbereich, dessen Frequenz aus einem lokalen Oszillator fester Frequenz gewonnen wird.

Bei Phase-Locked-Loop-Anwendungen ist die relative Bandbreite des lokalen Oszillators üblicherweise sehr schmal, beispielsweise einige 10 ppm. Die gewünschte Ausgangsfrequenz der Phase-Locked-Loop-Schaltung wird aus dem lokalen Oszillator gewonnen, indem dem Ausgangssignal einzelne Taktimpulse hinzugefügt oder abgezogen werden, entsprechend der ermittelten Phasenverschiebung zwischen dem Ausgangssignal und einem Referenzsignal. In Kurzzeitbetrachtung können diese zusätzlichen Taktimpulse als Phasensprünge betrachtet werden, während sich bei Langzeitbetrachtung dieses als ein stabiler Frequenzoffset bemerkbar macht, wenn Phasenverschiebungen mit einer festgelegten Periode erzeugt werden.

Eine Vorrichtung der eingangs genannten Art ist aus der WO 94/26033 bekannt. Bei diesem Stand der Technik enthält der numerisch gesteuerte Oszillator eine erste Oszillatoreinheit, innerhalb der ein als Frequenzteiler arbeitender Zähler angeordnet ist. Der Zähler erhält die Frequenz des lokalen Oszillators und weist darüber hinaus einen Phasenregelgang auf. Hierdurch wird die Phase des Ausgangssignals des Zählers in der gewünschten Richtung angepaßt.

Eine digitale Phase-Locked-Loop-Schaltung (DPLL) der eingangs genannten Art ist aus der EP 0 471 506 A1 bekannt. Hierbei handelt es sich um eine Synchronisationsschaltung, bei der die Frequenz des lokalen Oszillators um ein nicht ganzzahliges Vielfaches heruntergeteilt wird und wobei das Ausgangssignal mit dieser Frequenz ausgegeben wird. Hierzu wird ein programmierbarer Teiler verwendet. Dieser enthält eine Teilersteuerung (divide control), die einen Teilerwert zur Verfügung stellt, den der numerisch gesteuerte Oszillator NCO zum Teilen der Frequenz des lokalen Oszillators verwendet. Die Teilersteuerung generiert zwei verschiedene Teilerwerte, um so eine Bruchzahlteilung der Oszillatorfrequenz durchführen zu können. Die gewünschte Zentralfrequenz des DPLL-Ausgangstaktsignals wird durch Umschalten zwischen den beiden Teilerwerten eingestellt. Um dabei die Amplitude des Phasensynchronisationsfehlers ("Jitter") möglichst gering zu halten, erfolgt das Umschalten der Teilerwerte einerseits möglichst häufig und andererseits so gleichmäßig wie möglich. Zusätzlich zum Umschalten zwischen den Teilerwerten in dem durch die gewünschte Ausgangsfrequenz vorgegebenen Muster erfolgt eine Steuerung des Teilers abhängig von der erfaßten Phasendifferenz, derart daß eine additive oder subtraktive Größe zu dem von der Teilersteuerung vorgegebene Teilerwert addiert wird. D.h. zusätzlich wird der aktuelle Teilerwert je nach Phasendifferenz zwischen dem erzeugten Si-

gnal und dem Referenztaktsignal eventuell in der Divisionseinheit erhöht bzw. erniedrigt. Wird nun eine additive Größe entsprechend der Phasendifferenz zu dem Teilerwert addiert, wenn diesem aktuell der höhere der zwei vorgesehenen Werte zugeordnet ist, so ergibt sich eine größerer Abstand zwischen zwei aufeinanderfolgenden ausgegebenen Impulsen, als dies nur durch das Umschalten zwischen zwei Teilerwerten auftreten kann. Entsprechend ist der Abstand kleiner, wenn aufgrund der Phasendifferenz eine subtraktive Größe zu dem kleineren der zwei Teilerwerte addiert wird. Der größere Unterschied zwischen den Teilerwerten und damit der Impulsabstände des ausgegebenen Signals ist gleichbedeutend mit einem größeren Synchronisationsfehler (Jitter). In vielen Telekommunikationsanwendungen ist jedoch der zugelassene Jitter-Größe eine Grenze gesetzt, die durch die oben beschriebenen Konstellationen überschritten werden kann.

Der Erfindung liegt die Aufgabe zugrunde, einen numerisch gesteuerten Oszillator bzw. eine digitale Phase-Locked-Loop-Schaltung enthaltend einen numerisch gesteuerten Oszillator dahingehend weiterzuentwickeln, daß Jitter-Erscheinungen oberhalb zugelassener Grenzen weitestgehend möglich vermieden werden.

Diese Aufgabe wird bei einem Schaltkreis der eingangs genannten Art dadurch gelöst, daß die Teilerinheit aus mindestens zwei, separat hinsichtlich ihres jeweiligen Divisors programmierbaren und derart zueinander in Kaskadenschaltung angeordneten Teilerstufen besteht, daß jeweils eines der Eingangstaktsignale der vorgeordneten Teilerstufe durch ein Ausgangstaktsignal der nachgeordneten Teilerstufe gebildet wird, daß das Ausgangssignal der vorgeordneten Teilerstufe das Taktsignal der nachgeordneten Teilerstufe bildet und daß die Mittel (SHIFT) zur Verschiebung der Phasenlage am Eingang einer in der Kaskade höchstens auf zweithöchster Stufe stehenden Teilerstufe (DIV O/P) anliegen.

Die Erfindung zeichnet sich dadurch aus, daß sich durch die Strukturierung der Teilerstufen in Form einer Kaskadenschaltung ein Teilverhältnis ermöglichen läßt, welches einer beliebigen rationalen Zahl entspricht. Aufgrund der Rückkopplung des Ausgangssignals der nachgeordneten Teilerstufe auf den Eingang der vorgeordneten Teilerstufe besteht bei einer solchen Kaskadenschaltung grundsätzlich das Problem, daß zeitgleich mit dem Eingangstaktsignal an den anderen Eingang der Teilerstufe das Taktsignal zur Verschiebung der Phasenlage (SHIFT-Control) anliegen kann. Hierdurch kann es am Ausgang des Teilers zu einem doppelt so großem Phasensprung kommen. Die erfindungsgemäße Lösung sieht nun vor, daß das SHIFT-Control-Signal nicht an der obersten Teilerstufe des kaskadenförmigen Teilers angreift, so daß dort ein doppelter Phasensprung vermieden wird. Dies hat zur Folge, daß das Ausgangssignal der obersten Teilerstufe nicht durch unzulässig hohe Jitter-Erscheinungen nachteilig beeinflusst wird. Vielmehr erfolgt die Abgabe des SHIFT-Signals gemäß der Erfindung auf eine der nachgeordneten Teilerstufen, so daß sich der durch das SHIFT-Signal hervorgerufene Phasensprung nicht mehr auf das Teilverhältnis des ersten Teilers auswirkt sondern lediglich dessen Datensequenz beeinflusst. Um dennoch einen merklichen Einfluß auf die Phasenlage des Ausgangssignals der ersten Teilerstufe zu erreichen, muß die Häufigkeit des SHIFT-Signals entsprechend nach oben angepaßt werden.

Weitere Ausgestaltungen der Erfindung gehen aus den Unteransprüchen hervor.

Die Erfindung wird im folgenden anhand einer Zeichnung näher erläutert. Dabei zeigen:

Fig. 1 eine Prinzip-Darstellung eines numerisch gesteuerten Oszillators gemäß Stand der Technik,

Fig. 2 eine Veranschaulichung des auftretenden Phasen-

fehlers in einem numerisch gesteuerten Oszillator nach Fig. 1.

Fig. 3a eine Prinzip-Darstellung eines numerisch gesteuerten Oszillators enthaltend einen Bruchteiler,

Fig. 3b ein Blockschaltbild eines Ausführungsbeispiels für einen numerisch gesteuerten Oszillator nach Fig. 3a,

Fig. 4 zeitliche Darstellungen zur Erläuterung der Funktionsweise der in Fig. 3 dargestellten Schaltung ohne Berücksichtigung des SHIFT-Eingangs, insbesondere zeigen

Fig. 4a eine Skizze zur Veranschaulichung des Zählerzustandes im Teiler des numerisch gesteuerten Oszillators in Abhängigkeit von der Zeit,

Fig. 4b den zeitlichen Verlauf des lokalen Oszillator-Signals,

Fig. 4c den zeitlichen Verlauf des am Ausgang des Teilers ausgegebenen Ausgangstaktsignals und

Fig. 4d das theoretische Ausgangssignal am Ausgang des numerisch gesteuerten Oszillators im idealisierten Zustand mit äquidistanten Pulsen,

Fig. 5 zeitliche Darstellungen zur Erläuterung der Funktionsweise der in Fig. 3 dargestellten Schaltung mit Berücksichtigung des anliegenden SHIFT-Signals, insbesondere zeigen

Fig. 5a eine Skizze zur Veranschaulichung des Zählerzustandes im Teiler des numerisch gesteuerten Oszillators in Abhängigkeit von der Zeit,

Fig. 5b den zeitlichen Verlauf des lokalen Oszillator-Signals,

Fig. 5c den zeitlichen Verlauf des am Ausgang des Teilers ausgegebenen Ausgangstaktsignals und

Fig. 5d den zeitlichen Verlauf des am Ausgang des Teilers ausgegebenen Ausgangstaktsignals, jedoch mit einem zusätzlichen Puls (Pfeil) beim Auftreten des SHIFT-Eingangssignals,

Fig. 5e den zeitlichen Verlauf des am Ausgang des Teilers ausgegebenen Ausgangstaktsignals, jedoch mit einem anderen zusätzlichen Puls (Pfeil) beim Auftreten des SHIFT-Eingangssignals

Fig. 5f das theoretische Ausgangssignal am Ausgang des numerisch gesteuerten Oszillators im idealisierten Zustand mit äquidistanten Impulsen,

Fig. 6 einen numerisch gesteuerten Oszillator gemäß Ausführungsbeispiel der Erfindung und

Fig. 7 zeitliche Darstellungen zur Erläuterung der Funktionsweise der in Fig. 6 dargestellten Schaltung, insbesondere zeigen

Fig. 7a eine Skizze zur Veranschaulichung des Zählerzustandes im Teiler des numerisch gesteuerten Oszillators in Abhängigkeit von der Zeit,

Fig. 7b den zeitlichen Verlauf des lokalen Oszillator-Signals,

Fig. 7c den zeitlichen Verlauf des am Ausgang des Teilers ausgegebenen Ausgangstaktsignals und

Fig. 7d das theoretische Ausgangssignal am Ausgang des numerisch gesteuerten Oszillators im idealisierten Zustand mit äquidistanten Pulsen.

Fig. 1 zeigt den prinzipiellen Aufbau eines numerisch gesteuerten Oszillators, welcher Teil einer digitalen Phase-Locked-Loop-Schaltung zur Nachlaufsynchronisation eines Ausgangstaktsignales mit einem Referenztaktsignal ist. Die zur Vervollständigung des numerisch gesteuerten Oszillators zu einer Phase-Lock-Loop-Schaltung weiter erforderlichen Blöcke, wie ein Phasendetektor bzw. ein digitales Filter und die entsprechenden Rückkopplungszweige sind in Fig. 1 nicht dargestellt.

Der numerisch gesteuerte Oszillator enthält einen lokalen Oszillator, welcher eine sehr schmale Bandbreite aufweist. In einer Teilerstufe DIV M/N wird aus dem Frequenzsignal

des lokalen Oszillators die gewünschte Ausgangsfrequenz gewonnen. Ausgangsfrequenz und Frequenz des lokalen Oszillators stehen dabei über den Divisor des Teilers in Beziehung.

Der Divisor des Teilers im numerisch gesteuerten Oszillator ist dabei alternativ zwischen einem numerischen Wert M und einem weiteren numerischen Wert N umschaltbar. Im Normalfall teilt der Teiler durch die Zahl M und dann, wenn ein SHIFT-Impuls anliegt, durch den Wert N.

Fig. 2 zeigt den zeitlichen Verlauf des Phasenfehlers, welcher bei dem beschriebenen numerisch gesteuerten Oszillator auftritt. Ausgehend vom Wert Null wächst dieser im Laufe der Zeit, solange durch denselben Divisor (z. B. M) geteilt wird. Wenn zum Zeitpunkt, bei dem ein maximal zulässiger Phasenfehler T_{OSC} erreicht wird, auf den anderen Divisor N durch Anlegen des SHIFT-Signales umgeschaltet wird, sinkt der Phasenfehler wieder auf Null und anschließend erfolgt wiederum ein entsprechender Anstieg. Der theoretische Verlauf des Phasenfehlers (ohne Umschalten des Divisors von M auf N) ist in Form der ansteigenden gestrichelten Linie dargestellt.

Fig. 3a zeigt eine aus dem Stand der Technik der EP 0 471 506 prinzipiell bekannte Schaltung, bei der die Ausgangsfrequenz aus der Frequenz des lokalen Oszillators über einen sogenannten Bruchteilter (fractional divider) heruntergeteilt gewonnen wird.

In einer Realisierung dieses bekannten fractional dividers, wie sie in Fig. 3b dargestellt ist, besteht der Teiler aus drei einzelnen Teilerstufen DIV M/N, DIV O/P und DIV Q, wobei die beiden ersten Teilerstufen jeweils zwischen zwei numerischen Werten M/N bzw. O/P umschaltbar sind und die dritte Teilerstufe einen festen numerischen Teilerwert Q aufweist. Jeder Teiler hat ein Rückkopplungssignal, welches den Zähler dahingehend steuert, jeweils einen Taktimpuls mehr oder weniger entsprechend dem gewünschten Teilerverhältnis zu zählen. Durch diese Struktur wird somit ein Teilerwert in Form einer rationalen Zahl simuliert. Der Rückkopplungseingang des Teilers 1 erzeugt jeweils einen Phasensprung am Ausgangssignal. Auch der SHIFT-Control-Eingang des Zählers 1 verursacht einen Phasensprung in gleicher Größe, nämlich eine Oszillator-Periode.

Wenn am Teiler Eingang DIV M/N gleichzeitig das Rückkopplungssignal und ein SHIFT-Control-Impuls auftreten, wird der Phasensprung hierdurch verdoppelt. Da in vielen Telekommunikationsanwendungen die lokale Oszillatorfrequenz so niedrig wie möglich gewählt wird, kann unter Umständen der einfache Phasensprung bereits bemerkbar werden, jedenfalls aber der doppelte Phasensprung zu nicht akzeptablen Betriebsbedingungen führen.

Die oben beschriebenen Effekte werden anhand der Fig. 4 und 5 näher erläutert:

In Fig. 4a ist der Zustand des dem Teiler im numerisch gesteuerten Oszillator zugeordneten Zählers in Abhängigkeit von der Zeit dargestellt, d. h. er kann im Laufe der Zeit die Werte 1, 2, 3 oder 0 annehmen, je nachdem wie viele Taktsignale des lokalen Oszillators (Pulszug gemäß Fig. 4b) vom Eingangszähler gezählt worden sind. Durch den eingestellten Teilerwert 3 wird jeder dritte Impuls des lokalen Oszillators durchgelassen (Fig. 4c). Infolge des Teilerwertes 4 der zweiten Stufe (DIV O/P) wird vor Eintreffen des vierten Impulszuges der Teiler 1 vom Wert M = 3 auf N = 2 umgeschaltet, so daß nur ein Impuls des lokalen Oszillators ausgelassen wird. Anschließend erfolgt wiederum der beschriebene Vorgang mit der Pulsfolge 3332 3332 ... solange, bis der Zählerwert des dritten Zählers DIV Q maßgeblich wird.

Auf diese Weise ergeben sich wechselnde Perioden von 3 bzw. 2 Impulsen Dauer. Im Langzeitbereich (idealisiert) betrachtet ergibt sich somit eine Impulsfolge mit äquidistanten

Impulsen, wie sie in Fig. 4d dargestellt ist entsprechend einer gewünschten Ausgangsfrequenz mit dem Teilverhältnis 2,7272.

Die oben beschriebenen Ausführungen ergeben sich ohne Berücksichtigung des SHIFT-Signals.

Unter Berücksichtigung des SHIFT-Signals (Darstellung gemäß Fig. 5) ergeben sich insoweit Unterschiede, als angenommen wird, daß für einen ersten betrachteten Fall (Fig. 5d) nach Ablauf der 333-Pulsfolge gleichzeitig mit der Änderung des Teilverhältnisses von 3 auf 2 ein SHIFT-Impuls (Pfeil) an den Eingang des Teilers angelegt wird, wodurch sich der vierte Zyklus auf einen Impuls mit der Zykluslänge 1 verkürzt statt der in Fig. 5c vorgegebenen Zykluslänge 2.

Ein anderes Beispiel ist in Fig. 5e dargestellt, wo zu einer anderen Zeit (Pfeil) der SHIFT-Impuls erfolgt, so daß auch dort das ursprünglich zwei Impulse lange Signal auf eine Zykluslänge von 1 herabgesetzt wird.

Durch die zusätzlich auftretenden SHIFT-Impulse ergeben sich größere Phasensprünge und somit ein zusätzlicher Jitter, welcher in vielen Anwendungen nicht akzeptabel ist.

Fig. 6 zeigt ein Ausführungsbeispiel eines erfindungsge-
mäßigen numerisch gesteuerten Oszillators.

Im Unterschied zu Fig. 3b ist gemäß Fig. 6 das SHIFT-Impuls-Signal nicht an den in der Teilerstufenkaskade am höchsten angeordneten Teiler DIV MIN sondern an den Eingang des zweithöchsten Teilers DIV O/P angelegt. Im übrigen unterscheidet sich die in Fig. 6 dargestellte Schaltung weder im Aufbau noch in ihrer Funktionsweise von derjenigen, wie sie in Fig. 3b dargestellt wurde und anhand der Fig. 4 und 5 mit und ohne SHIFT-Signal erläutert wurde.

Der Einfluß des SHIFT-Signales erstreckt sich nunmehr auf den zweiten Teiler DIV O/P, wodurch vermieden wird, daß das SHIFT-Signal direkt an den Eingang des ersten Teilers gelangt und hierdurch der nachteilige doppelte Phasensprungeffekt auftritt.

Allerdings ist der Einfluß des SHIFT-Signales hierdurch geringer als bei dem in Fig. 3 dargestellten Beispiel, so daß die Häufigkeit des SHIFT-Signals im Vergleich zu dem am Teiler 1 angreifenden SHIFT-Signal entsprechend erhöht werden muß.

Gemäß Fig. 6 beeinflusst das SHIFT-Signal zwar die Sequenz des Teilers 1 jedoch nicht sein Teilverhältnis, wodurch ein zusätzlicher Jitter beim Auftreten der SHIFT-Modulation vermieden wird. Vielmehr ist das Teilverhältnis im Teiler 1 stets 3 oder 2.

Die entsprechenden Impulszüge sind in den Fig. 7c bzw. im idealisierten Fall 7d dargestellt.

Die erste Teilerstufe weist im Normalfall das Teilverhältnis 3 auf und wechselt dann auf den anderen Teilerwert 2, wenn die zweite Teilerstufe mit dem Normalteilerwert 4 entsprechend hochgezählt hat.

Hierdurch ergibt sich im Teiler 1 die Grundsequenz 3332 3332 3332 Eine übergeordnete Korrektur dieser Sequenz erfolgt über die Teilerstufe 3, deren Teilerwert als 3 fest vorgegeben ist.

Im folgenden soll der Fall betrachtet werden, daß zu dem mit dem Pfeil betrachteten Zeitpunkt ein SHIFT-Impuls an den Eingang der zweiten Teilerstufe gegeben wird. Dieser Zeitpunkt ist identisch mit demjenigen Zeitpunkt, zu dem die zweite Teilerstufe 2 ohnehin auf den anderen Teilerwert (3 statt 4) umschaltet. Durch diesen doppelten Eingangsimpuls ergibt sich somit eine Verkürzung der Datensequenz von vier auf zwei Impulse (Sequenz 32 unterhalb der ersten Teilerstufe dargestellt).

Wenngleich sich die Datensequenz der ersten Teilerstufe hierdurch ändert, wird die Größe des Phasensprungs hierdurch nicht beeinflusst, da stets nur einer der beiden Teiler-

werte 3 oder 2 in der ersten Teilerstufe auftritt.

Hierdurch kommt es also nicht zur Beeinflussung der Hochfrequenz-Jitters.

Aufgrund der verwendeten VLSI-Technologie ist die lokale Oszillatorfrequenz üblicherweise beschränkt. Das bedeutet, daß der minimal erreichte Jitter ebenfalls durch die VLSI-Technologie beschränkt ist. Durch Verwendung des numerisch gesteuerten Oszillators gemäß der Erfindung ist es also möglich, solche numerischen Oszillatoren zu verwenden, die zum einen auf der Bruchteilsstruktur (fractional structure) beruhen und andererseits den erzeugten Jitter auf maximal die Hälfte üblicher Werte begrenzen, wenn die lokale Oszillatorfrequenz fest ist bzw. die lokale Oszillatorfrequenz zu halbieren, wenn der maximal zulässige Jitter festgelegt ist.

Patentansprüche

1. Numerisch gesteuerter Oszillator mit einer Teiler-
einheit (DIV), die die Frequenz eines mit dem numerisch gesteuerten Oszillator zusammenwirkenden lokalen Oszillators um einen vorgebbaren numerischen Teilerwert (Divisor) derart herunterteilt, daß an deren Ausgang ein Ausgangstakt signal (OUTPUT FREQUENCY) mit der heruntergeteilten Frequenz ausgebar ist, wobei Mittel (SHIFT) zur Ansteuerung der Teilereinheit (DIV) vorgesehen sind, um durch Abänderung des Divisors beim Anlegen der Ansteuerungsmittel die Phasenlage des Ausgangssignales in einer vorgebbaren Richtung gegenüber einem Referenzsignal zu verschieben, **dadurch gekennzeichnet**, daß die Teilereinheit aus mindestens zwei, separat hinsichtlich ihres jeweiligen Divisors programmierbaren und derart zueinander in Kaskadenschaltung angeordneten Teilerstufen (DIV M/N, DIV O/P, DIV Q) besteht, daß jeweils eines der Eingangssignale der vorgeordneten Teilerstufe durch ein Ausgangstakt signal der nachgeordneten Teilerstufe gebildet wird, daß das Ausgangssignal der vorgeordneten Teilerstufe das Takt signal der nachgeordneten Teilerstufe bildet und daß die Mittel (SHIFT) zur Verschiebung der Phasenlage am Eingang einer in der Kaskade höchstens auf zweithöchster Stufe stehenden Teilerstufe (DIV O/P) anliegen.

2. Numerisch gesteuerter Oszillator nach Anspruch 1, dadurch gekennzeichnet, daß die Mittel zur Verschiebung der Phasenlage auf die zweithöchste Teilerstufe (DIV O/P) einwirken.

3. Digitaler Phase-Locked-Loop-Schaltkreis zur Synchronisation eines Ausgangstakt signals (output clock) mit einem Referenztakt signal (reference clock) bestehend aus einem Phasenvergleich mit mindestens zwei Vergleichereingängen zum Vergleich der Phasen der mit den Eingängen verbundenen Signale, einem Tiefpaßfilter, dessen Eingang mit dem Ausgang des Phasenvergleichers verbunden ist und einem numerisch gesteuerten Oszillator mit einer Teiler-
einheit (DIV), die die Frequenz eines mit dem numerisch gesteuerten Oszillator zusammenwirkenden lokalen Oszillators um einen vorgebbaren numerischen Teilerwert (Divisor) derart herunterteilt, daß an deren Ausgang ein Ausgangstakt signal (OUTPUT FREQUENCY) mit der heruntergeteilten Frequenz ausgebar ist, wobei Mittel (SHIFT) zur Ansteuerung der Teilereinheit (DIV) vorgesehen sind, um durch Abänderung des Divisors beim Anlegen der Ansteuerungsmittel die Phasenlage des Ausgangssignales in einer vorgebbaren Richtung gegenüber einem Referenzsignal zu verschieben, **dadurch gekennzeichnet**, daß die Teilereinheit aus minde-

stens zwei, separat hinsichtlich ihres jeweiligen Divi-
sors programmierbaren und derart zueinander in Kas-
kadenschaltung angeordneten Teilerstufen (DIV M/N,
DIV O/P, DIV Q) besteht, daß jeweils eines der Ein-
gangssignale der vorgeordneten Teilerstufe durch ein 5
Ausgangstaktsignal der nachgeordneten Teilerstufe ge-
bildet wird, daß das Ausgangssignal der vorgeordneten
Teilerstufe das Taktsignal der nachgeordneten Teiler-
stufe bildet und daß die Mittel (SHIFT) zur Verschie-
bung der Phasenlage am Eingang einer in der Kaskade 10
höchstens auf zweithöchster Stufe stehenden Teiler-
stufe (DIV O/P) anliegen.

Hierzu 4 Seite(n) Zeichnungen

15

20

25

30

35

40

45

50

55

60

65

- Leerseite -

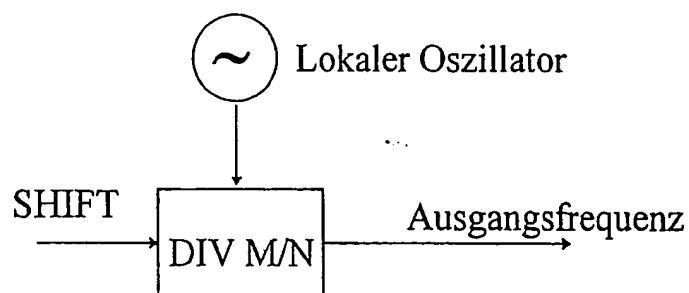


Fig. 1

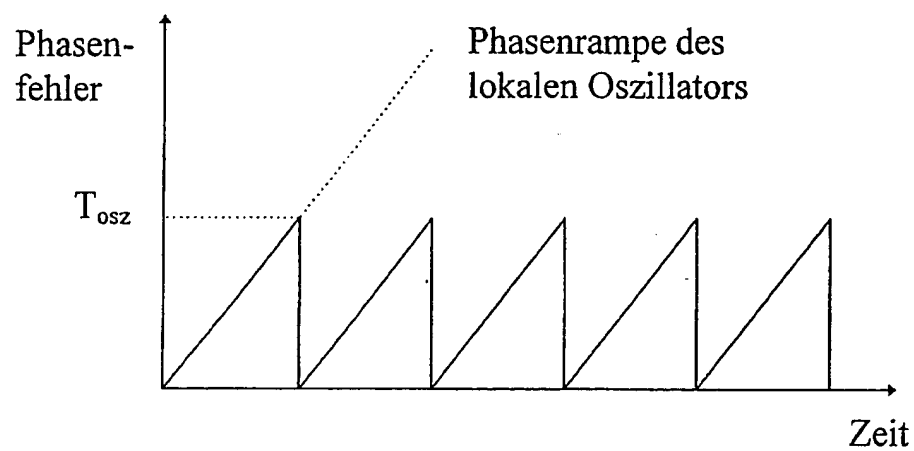


Fig. 2

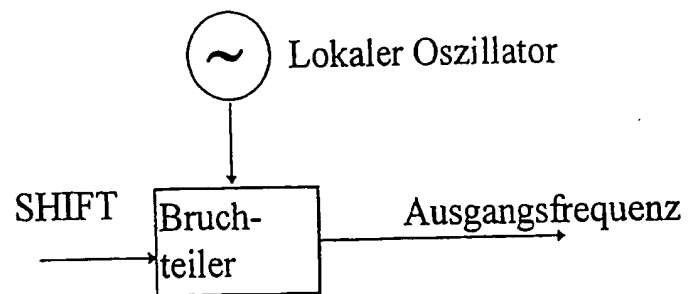


Fig. 3a

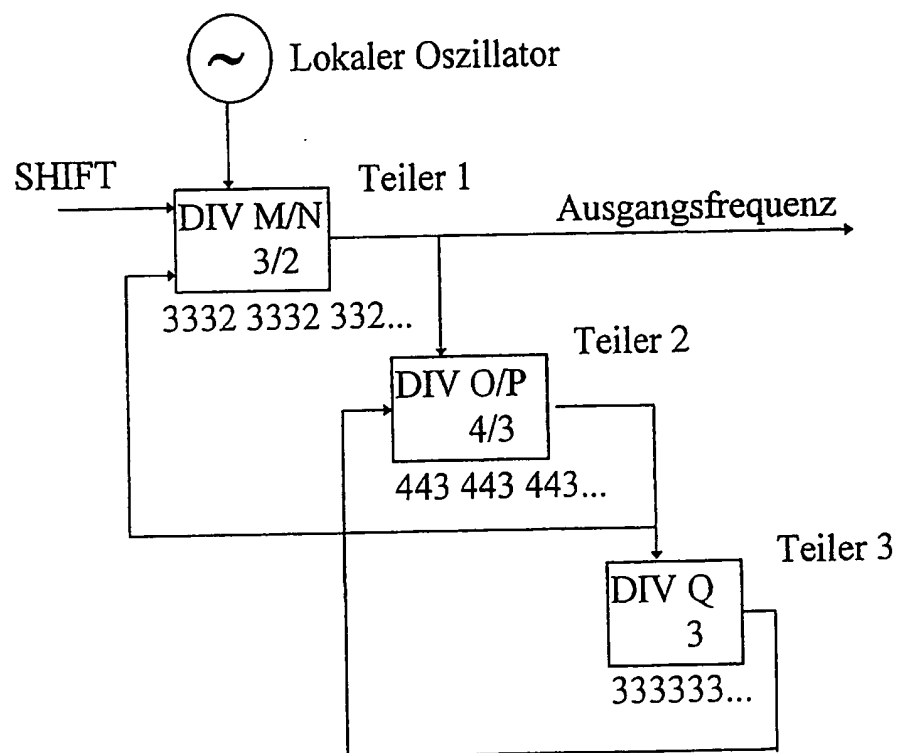


Fig. 3b

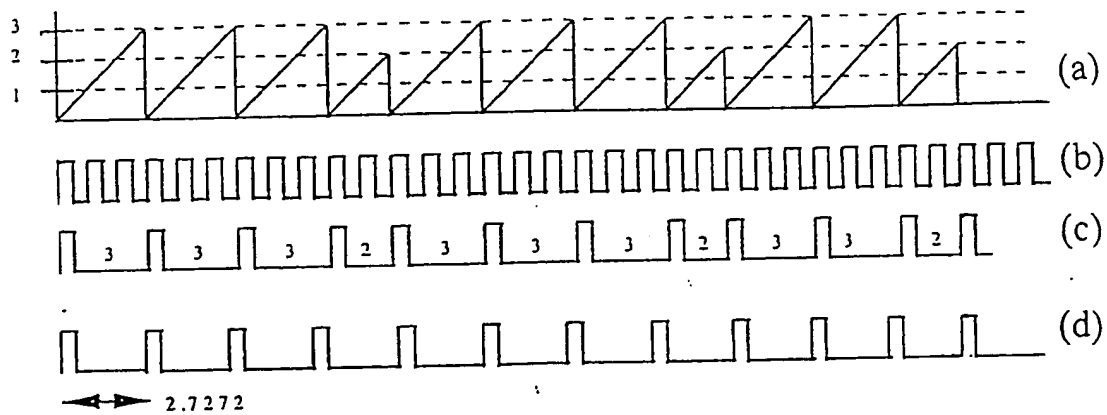


Fig. 4

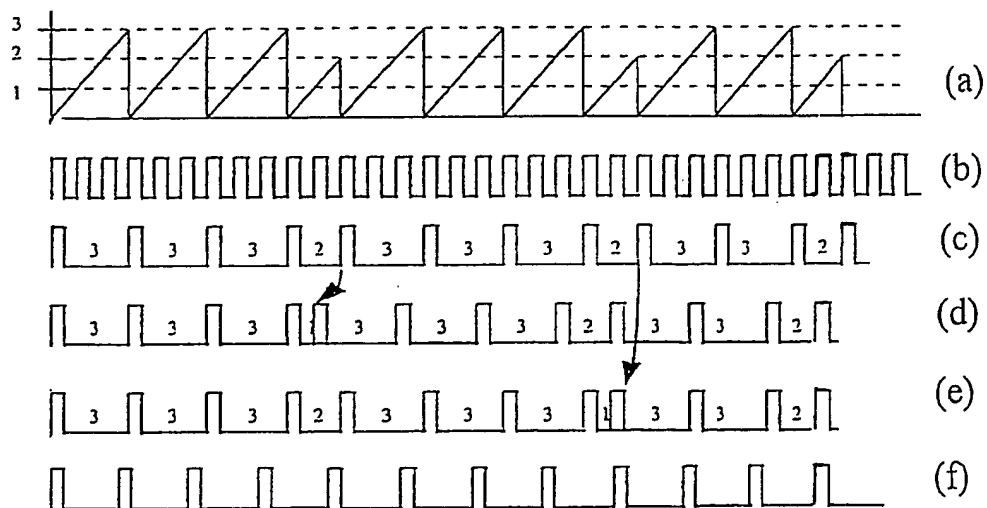


Fig. 5

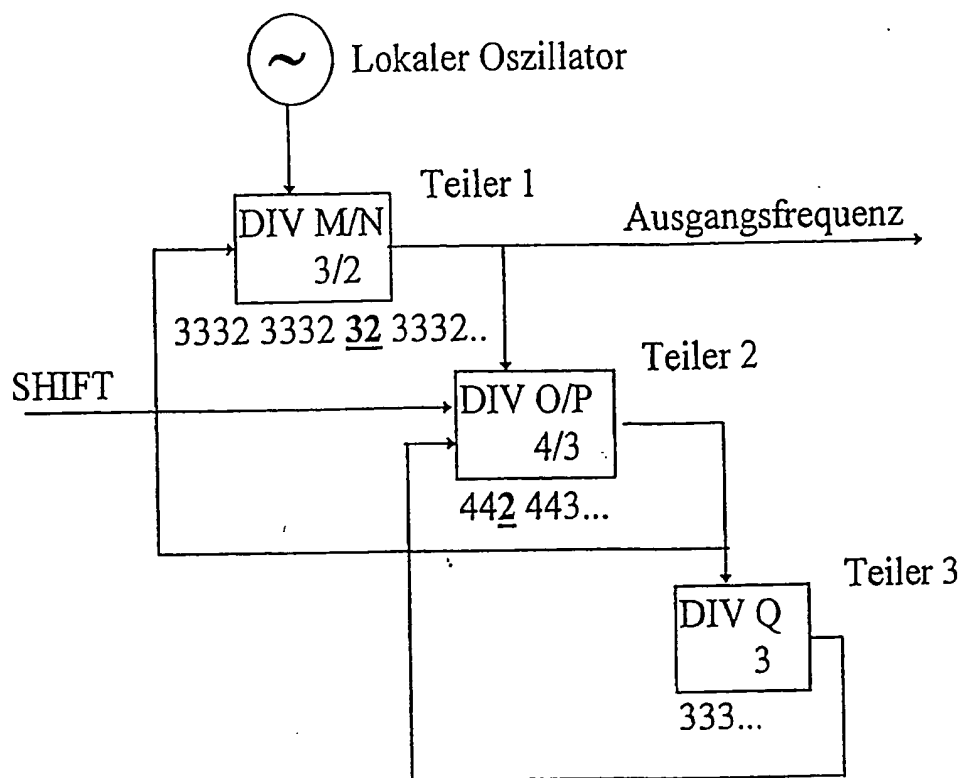


Fig. 6

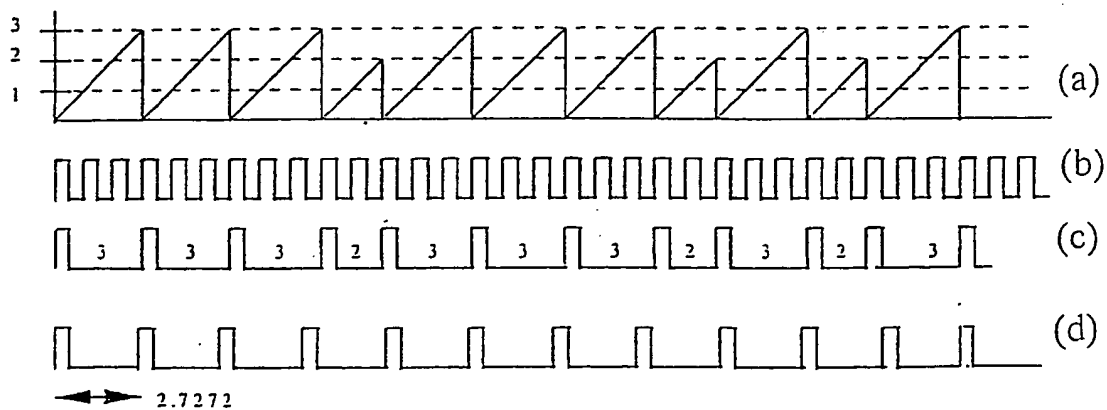


Fig. 7

Numerically controlled oscillator for e.g. digital PLL circuit

Patent Number: DE19729476
Publication date: 1999-01-14
Inventor(s): POUTANEN ANTTI (DE); SUVITAIVAL PEKKA (DE)
Applicant(s): NOKIA TELECOMMUNICATIONS OY (FI)
Requested Patent: DE19729476
Application Number: DE19971029476 19970710
Priority Number(s): DE19971029476 19970710
IPC Classification: H03K5/156; H03L7/099; H03K23/00; H04L7/033
EC Classification: H03K23/68, H03L7/099A1
Equivalents:

Abstract

The oscillator has a frequency divider (DIV) giving a reduced output frequency. The divider is controlled by a shift signal (SHIFT) such that the output signal is phase-shifted with respect to a reference signal. The divider has at least two separately programmable and cascade-arranged divider stages (DIV M/N, DIV O/P, DIV Q), the input of a particular divider stage accepting the output of a subsequent stage. The shift signal is applied to the input of one of first two divider stages.

Data supplied from the esp@cenet database - I2

Docket # L&L-10177

Applic. # _____

Applicant: B. GUNZELMANN ET AL.

Lerner and Greenberg, P.A.

Post Office Box 2480

Hollywood, FL 33022-2480

Tel: (954) 925-1100 Fax: (954) 925-1101

DOCKET NO: _____

SERIAL NO: _____

APPLICANT: _____

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100